

**Projet ANR-06-ARFU-005**

**VALMEM**

Programme Architectures du Futur 2006

<b>A IDENTIFICATION.....</b>	<b>2</b>
<b>B RÉSUMÉ CONSOLIDÉ PUBLIC.....</b>	<b>2</b>
B.1 Résumé consolidé public en français.....	2
B.2 Résumé consolidé public en anglais.....	5
<b>C MÉMOIRE SCIENTIFIQUE.....</b>	<b>5</b>
C.1 Résumé du mémoire.....	5
C.2 Enjeux et problématique, état de l'art.....	6
C.3 Approche scientifique et technique.....	7
C.4 Résultats obtenus.....	8
C.5 Exploitation des résultats.....	8
C.6 Discussion .....	8
C.7 Conclusions .....	9
C.8 Références.....	9
<b>D LISTE DES LIVRABLES.....</b>	<b>10</b>
<b>E IMPACT DU PROJET.....</b>	<b>12</b>
E.1 Indicateurs d'impact.....	12
E.2 Liste des publications et communications.....	13
E.3 Liste des éléments de valorisation.....	13
E.4 Bilan et suivi des personnels recrutés en CDD (hors stagiaires)	

## A IDENTIFICATION

Acronyme du projet	VALMEM
Titre du projet	Validation fonctionnelle et temporelle des mémoires embarquées, décrites au niveau transistor, par des méthodes formelles
Coordinateur du projet (société/organisme)	LSV (CNRS & ENS Cachan)
Période du projet (date de début – date de fin)	01/01/2007 – 31/12/2010
Site web du projet, le cas échéant	<a href="http://www.lsv.ens-cachan.fr/~encrenaz/valmem/">http://www.lsv.ens-cachan.fr/~encrenaz/valmem/</a>

Rédacteur de ce rapport	
Civilité, prénom, nom	Laurent Fribourg
Téléphone	01 47 40 75 36
Adresse électronique	fribourg@lsv.ens-cachan.fr
Date de rédaction	27/12/2010

Si différent du rédacteur, indiquer un contact pour le projet	
Civilité, prénom, nom	
Téléphone	
Adresse électronique	

Liste des partenaires présents à la fin du projet (société/organisme et responsable scientifique)	LIP6 (Université Paris 6) STMicroelectronics
---	---

## B RÉSUMÉ CONSOLIDÉ PUBLIC

### B.1 RÉSUMÉ CONSOLIDÉ PUBLIC EN FRANÇAIS

*Titre du projet :*

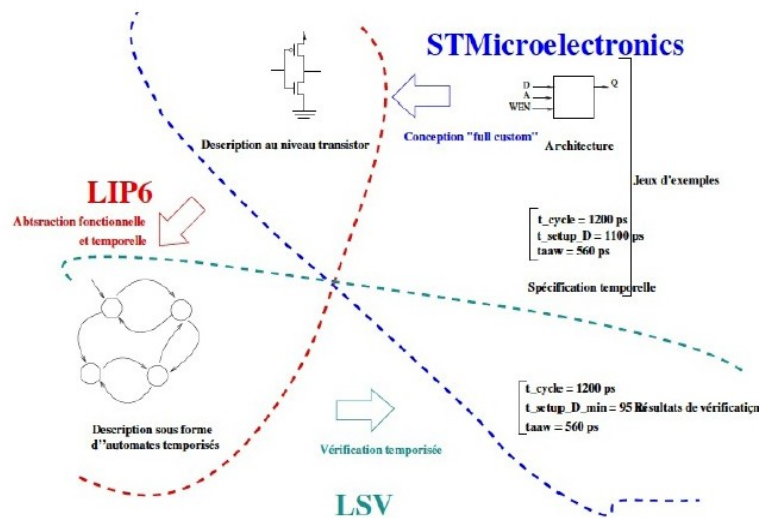
*VALMEM : Validation fonctionnelle et temporelle des mémoires embarquées à l'aide de méthodes formelles*

Le projet VALMEM s'est intéressé à la vérification fonctionnelle et temporelle de circuits mémoires.

Les circuits mémoires ont la particularité d'intégrer des fonctionnalités toujours plus complexes tout en devant répondre des objectifs de performances accrues. Pour ces raisons, ces circuits sont conçus directement au niveau transistor, ce qui rend très difficile leur conception et leur validation.

VALMEM regroupe des partenaires universitaires (LSV, LIP6) et industriel (STMicroelectronics) aux compétences complémentaires qui abordent ce problème de vérification avec une approche formelle spécialisée pour les circuits mémoires, en partant de leur description en transistors. L'objectif est de fournir une plate-forme logicielle prototype, basée sur des abstractions originales du modèle en transistors,

et des méthodes de vérification spécifiques, dans le but de vérifier un jeu d'exemples de circuits mémoires commercialisés.



Les méthodes industrielles classiques de conception et validation des circuits reposent sur des techniques de simulation, à partir de modèles de transistors très précis.

L'inconvénient de ces méthodes de simulation provient du fait que, pour des raisons d'explosion combinatoire, il n'est pas possible de tester le circuit avec tous les jeux possibles d'entrées et tous les scénarios possibles d'enchaînement des signaux, et pour différentes conditions d'environnement (notamment la température). La simulation ne prend pas en considération la variabilité des paramètres de délais. Ainsi, la correction de la simulation repose sur l'expertise humaine consistant à sélectionner l'ensemble restreint d'entrées pertinentes du jeu de tests pour la simulation.

Par contraste, l'avantage de la nouvelle méthodologie de validation proposée ici, est de fournir une preuve formelle de correction des résultats obtenus, quelles que soient les configurations d'entrée et les enchaînements possibles des signaux, et en considérant que les paramètres de délais peuvent varier.

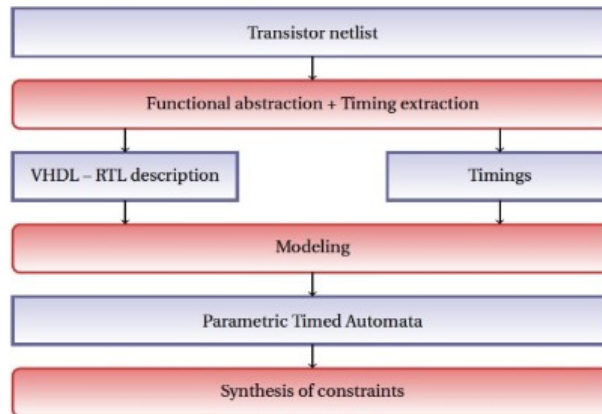
L'enjeu du projet est aussi de comparer les deux approches, non seulement au niveau de la garantie de correction, mais aussi, au niveau de la précision des résultats obtenus.

Le projet est organisé en 4 tâches :

1. Identification des problèmes spécifiques aux mémoires et élaboration d'un ensemble d'études de cas issus de problèmes industriels
2. Passage de la représentation en transistors au modèle abstrait ; méthodes d'abstraction
3. Méthodologie de validation
4. Application aux études de cas et développement de prototype

*Résultats majeurs du projet*

## Methodologie du projet VALMEM



Le projet a abouti à la réalisation d'une chaîne complète d'outils permettant l'abstraction fonctionnelle (outil MYGALE), l'abstraction temporelle (outil TIMEX), la conversion du modèle abstrait temporisé dans le modèle des automates temporisés (outil VHDL2TA), et enfin la vérification de propriétés du dernier modèle par des méthodes de model checking (outil IMITATOR). Cette chaîne permet, à partir d'une description de la mémoire au niveau transistor, de faire une validation de ses propriétés temporelles automatiquement. La chaîne a été expérimentée avec succès sur la mémoire SPSMALL commercialisée par STM et a permis une analyse temporelle complète avec une précision de 5%.

### *Production scientifique et brevets depuis le début du projet*

Les travaux du projet ont été présentés dans 2 revues internationales et 4 conférences internationales.

- Remy Chevallier, Emmanuelle Encrenaz and Laurent Fribourg. Weiwen Xu, Timed Verification of a Generic Architecture of a Memory Circuit using Parametric Timed Automata. International Journal of Formal Methods in System Design, vol 34(1), pp 59–81, 2009.
- Etienne André, Thomas Chatain, Emmanuelle Encrenaz and Laurent Fribourg. An Inverse Method for Parametric Timed Automata. International Journal of Foundations of Computer Science, vol 20(5), pp 819–836, 2009.
- Etienne André, Thomas Chatain, Emmanuelle Encrenaz, Laurent Fribourg. An Inverse Method for Parametric Timed Automata. In Vesa Halava and Igor Potapov (eds.), RP'08, ENTCS 223, pages 29–46. Elsevier Science Publishers, 2008.
- Abdelrezzak Bara, Pirouz Bazargan-Sabet, Remy Chevallier, Emmanuelle Encrenaz, Dominique LeDu and Patricia Renault. Formal Verification of Timed VHDL Programs. International Forum on Specification and Design Languages, 2010.
- Etienne André, Laurent Fribourg, Behavioral Cartography of Timed Automata. International Workshop on Reachability Problems (RP'10), LNCS 6227, pp 76–90, Springer, 2011

### **Informations factuelles**

Le projet VALMEM est un projet de recherche fondamentale coordonné par Laurent Fribourg (LSV). Il associe aussi le LIP6 (U. Paris 6) ainsi que STMicroelectronics. Le projet a commencé en janvier 2007 et a duré 48 mois. Il a bénéficié d'une aide ANR de 572 275 euros pour un coût global de l'ordre de 1 122 216 euros.

## **B.2 RÉSUMÉ CONSOLIDÉ PUBLIC EN ANGLAIS**

*Suivre impérativement les instructions ci-dessus.*

The subject of project VALMEM is about functional and timed verification for memory circuits.

As memory circuits integrate more and more complex functionalities, they tend to be designed directly at the transistor level, in order to make them more efficient. Unfortunately, such designs at low-level make their validation more difficult. This is why project VALMEM wants to use formal methods for underlying the validation problem rather than traditional simulation-based techniques.

Inside VALMEM, there are academic laboratories (LSV, LIP6) and an industrial partner (STMicroelectronics) who share complementary expertise. The goal was to provide a prototype platform that will support the whole validation process from the low-level transistor level to the prediction of timing characteristics for memory circuits.

The project has been organized in 4 tasks :

- Identification of problems specific to memory circuits and selection of a limited number of industrial case
- Translation of the transistor level into an abstract level ; design of abstraction -
- Formal methods of validation
- Development of prototypes and application to the selected case studies.

VALMEM project has led to the design and implementation of a complete set of tools allowing functional abstraction (tool MYGALE), timed abstraction (tool TIMEX), translation of the abstract model into a model based on timed automata (tool VHDL2TA), and verification of the timed automata based model via a new tool of model checking (tool IMITATOR).

This set of tools has allowed us to analyse, in a completely automatical way, a memory circuit commercially produced by STM (the SPSMALL memory),  
With a precision of 5%.

## **C MÉMOIRE SCIENTIFIQUE**

***Mémoire scientifique confidentiel*** : non

### **C.1 RÉSUMÉ DU MÉMOIRE**

Le projet VALMEM s'intéresse la vérification fonctionnelle et temporelle de circuits mémoires.

Les circuits mémoires ont la particularité d'intégrer des fonctionnalités toujours plus complexes tout en devant répondre des objectifs de performances accrues. Pour ces raisons, ces circuits sont conçus directement au niveau transistor, ce qui rend très difficile leur validation.

VALMEM regroupe des partenaires universitaires (LSV, LIP6) et industriel (STMicroelectronics) aux compétences complémentaires qui abordent ce problème de vérification avec une approche formelle spécialisée pour les circuits mémoires, en partant de leur description en transistors. L'objectif est de fournir une plate-forme logicielle prototype, base sur des abstractions originales du modèle en transistors, et des méthodes de vérification spécifiques, dans le but de vérifier un jeu d'exemples de circuits mémoires commercialisés.

Le projet a abouti à la réalisation d'une chaîne complète d'outils permettant l'abstraction fonctionnelle (outil MYGALE), l'abstraction temporelle (outil TIMEX), la conversion du modèle abstrait temporisé dans le modèle des automates temporisés (outil VHDL2TA), et enfin la vérification de propriétés du dernier modèle par des méthodes de model checking (outil IMITATOR). Cette chaîne permet, à partir d'une description de la mémoire au niveau transistor, de faire une validation de ses propriétés temporelles automatiquement. La chaîne a été expérimentée avec succès sur la mémoire SPSMALL commercialisée par STM et a permis une analyse temporelle complète avec une précision de 5%.

## **C.2 ENJEUX ET PROBLÉMATIQUE, ÉTAT DE L'ART**

Ce projet se situe à l'avant-garde de l'état de l'art actuel. En effet, habituellement le caractère synchrone de l'architecture d'un circuit permet de décomposer sa validation fonctionnelle de sa validation temporelle : il suffit, dans le fonctionnement du circuit, d'attendre à chaque cycle d'horloge que toutes les opérations prévues aient bien été effectuées (validation fonctionnelle) ; le temps des opérations se déduit alors par addition des périodes d'horloge. Dans un circuit asynchrone au contraire, certaines opérations peuvent se dérouler avant l'achèvement du cycle courant afin d'améliorer les performances temporelles. La validation fonctionnelle nécessite donc la prise en compte subtile des temps individuels d'opérations et ne peut plus se faire de façon indépendante.

Une autre difficulté vient de ce que les circuits considérés ont été conçus de façon ``full-custom'' et non ``standard-cell'', ce qui signifie que l'on n'a pas choisi les composants à partir d'une bibliothèque répertoriée avec des caractéristiques fonctionnelles et temporelles bien établies, mais que le circuit a été conçu directement au niveau transistor par assemblage spécifique avec des utilisations bien particulières. Souvent un même transistor du circuit servira aussi bien à des fins de lecture que d'écriture suivant l'environnement dans lequel il sera plongé. Ses performances seront alors très variables suivant l'environnement.

Classiquement, les circuits full-custom sont conçus et analysés par simulation Numérique des modèles électriques des transistors qui composent le circuit. Ces modèles extrêmement précis contiennent jusqu'à 80 paramètres,

Ce qui induit des temps de simulation extrêmement précis qui ne peuvent être réalisés que sur des portions réduites de circuit mémoire, et pour un nombre limité de configurations de fonctionnement.

Par contraste, l'avantage des méthodes formelles, telles que celles utilisées dans le projet VALMEM, est de fournir des garanties de bon fonctionnement pour un ensemble exhaustif de configurations. Le défi dans l'utilisation de ces méthodes formelles consiste à rester compétitif avec les méthodes de simulation du point de vue de la précision des résultats obtenus ainsi que de la taille du circuit mémoire analysé.

Pour relever ce défi, le projet VALMEM a adopté la méthodologie suivante :

- identifier par abstraction des sous-circuits à partir de transistors qui avaient différentes fonctionnalités (et différentes caractéristiques temporelles) en fonction du type de signaux avec lesquels ils étaient attaqués
- associer à ces abstractions des délais de fonctionnement
- passer de l'abstraction temporisée à un modèle à base d'automate temporisé susceptible d'être analysé par model checking
- opérer effectivement l'analyse par model checking temporisé

Chacune de ces étapes présente des difficultés spécifiques et constitue en soi un domaine de recherche pointu pour lequel aucun outil (commercial ou académique) n'offre actuellement de solution satisfaisante. En particulier :

- les outils d'abstraction fonctionnelle et d'analyse statique couramment utilisés pour l'analyse fonctionnelle et temporelle avaient été évalués (dans un projet précédent MEDEA+ Blueberries) et avaient montré leur inadéquation dans le contexte des circuits mémoire full custom
- la taille des modèles de circuit analysés jusqu'ici par model checking ne dépassent pas une trentaine de portes (voir, par ex., [BJMY02])

### **C.3 APPROCHE SCIENTIFIQUE ET TECHNIQUE**

L'enjeu de l'abstraction du niveau transistor au niveau logique consiste à identifier Des sous-blocs fonctionnels pour lesquels on sera en mesure d'associer des délais pertinents de bon fonctionnement.

L'approche originale d'abstraction et d'extraction de délais, sur laquelle le projet s'est appuyé, pour répondre à cette problématique, est la méthode d'abstraction par identification des chemins de courant. La méthode d'abstraction fait apparaître des conflits de porte qui sont résolus par des techniques de coloriage de graphe. Ces méthodes ont permis d'abstraire non seulement la fonctionnalité de blocs combinatoires, mais également, ce qui est très original, de parties séquentielles (points-mémoire et latches). Voir, en particulier, [livrable 3] [livrable 5].

La traduction du modèle abstrait dans le formalisme des automates temporisés a fait l'objet d'optimisations permettant d'analyser des systèmes comprenant une centaine de portes logiques et latches (au delà de la limite de trente composants rencontrée classiquement).

Nous avons également utilisé les outils de model checking temporisé après une phase de transformation de l'abstraction VHDL en automates temporisés (via l'outil VHDL2TA). Voir, en particulier, [livrable 10] [livrable 11] et référence [Bara+10].

Enfin, nous avons proposé une méthode automatique d'extraction de contraintes sur les paramètres temporels des composants du circuit, à partir du modèle en automates temporisés [Livrable 8]. Cette méthode est nouvelle et repousse les limites de taille observées avec les méthodes d'analyse classiques de model checking à base d'automates temporisés (voir, par ex., [BJMY02]).

#### **C.4 RÉSULTATS OBTENUS**

Chaque étape de la méthodologie a conduit au développement d'un outil prototype :

- MYGALE pour l'abstraction fonctionnelle
- TIMEX pour l'extraction temporelle
- VHDL2TA pour la traduction en automates temporisés
- IMITATOR pour la synthèse de contraintes sur les délais

Cette chaîne d'outils permet la traduction automatique de la description au niveau transistor en un modèle à base d'automates temporisés, puis sa validation par model-checking.

Ces travaux ont été publiés dans deux revues internationales et quatre conférences internationales. Plusieurs soumissions sont en cours.

#### **C.5 EXPLOITATION DES RÉSULTATS**

La chaîne d'outils a notamment été mise en œuvre pour la validation d'une mémoire asynchrone

de 3 mots de 2 bits (regroupant plusieurs centaines de transistors), commercialisée par STMicroelectronics (mémoire SPSMALL).

Les résultats obtenus sont conformes à ceux de la spécification (datasheet de STM) avec une incertitude de seulement 5%.

#### **C.6 DISCUSSION**

Le projet s'est attaqué à une problématique très ambitieuse (validation d'architecture asynchrone et full-custom). Le projet a vu la mise en œuvre d'une chaîne complète automatique d'outils.

Cette chaîne d'outils a été expérimentée avec succès sur la mémoire SPSMALL, commercialisée par STM. Cependant, la chaîne n'a pas pu être expérimentée sur les autres mémoires mentionnées dans la proposition initiale.

Des difficultés techniques supplémentaires spécifiques aux autres cas d'étude (par exemple, mécanismes de self-timing et de signaux à précharge) sont apparues, et nous n'avons pas eu le temps de les attaquer.



Il faut également souligner que le degré d'incertitude obtenue avec les résultats par la méthodologie formelle sur SPSMALL est de l'ordre de 5% alors que les résultats obtenus par simulation sont obtenus avec une incertitude moindre (de l'ordre de 1%), mais avec un jeu restreint (non exhaustif) de tests, et, donc, sans garantie formelle de correction.

## **C.7 CONCLUSIONS**

Le projet s'est déroulé dans une très bonne ambiance avec des échanges fructueux entre les 3 partenaires, au cours, notamment d'une quinzaine de visites effectuées sur site, dont on pourra trouver des compte rendus détaillés sur la page Web du projet. De nombreux outils opérationnels ont vu le jour et ont déjà donné des résultats prometteurs sur l'exemple de la mémoire SPSMALL. Toutefois, des difficultés techniques spécifiques à d'autres types de mémoire, n'ont pas été abordées dans le projet, ce qui n'a pas permis l'analyse des autres études de cas envisagées initialement.

Des coopérations entre STM et Paris 6 se poursuivent cependant actuellement, sous forme de trois bourses CIFRE, afin de traiter notamment ces difficultés rémanentes.

## **C.8 RÉFÉRENCES**

[Livrable 3] P. Bazargan Sabet, P. Renault.

Définition d'un nouveau modèle fonctionnel et temporel pour la vérification de circuits mémoire.

[Livrable 5] P. Bazargan Sabet, P. Renault, D. LeDû.

Combinaison de méthodes d'abstraction fonctionnelle et de méthodes de caractérisation temporelle d'un réseau de transistors.

[Livrable 8] E. André, E. Encrenaz, L. Fribourg.

Outil prototype de synthèse de paramètres temporisés pour la vérification de circuits mémoire.

[Livrable 10] A. Bara, E. Encrenaz.

VHDL2TA : programme de traduction automatique de programmes VHDL en automates temporisés.

[Livrable 11] A. Bara, E. Encrenaz.

VHDL2TA : jeux de test.

[Bara+10] A. Bara, P. Bazargan-Sabet, R. Chevallier, E. Encrenaz, D. LeDû, P. Renault.

Formal Verification of Timed VHDL Programs.

International Forum on Specification and Design Languages, 2010.

[BJMY02] M. Bogza, H. Jianmin, O. Maler, S. Yovine.

Verification of asynchronous circuits using timed automata.

Electronical Notes in Theoretical Computer Science 65 No 6, 2002.

## D LISTE DES LIVRABLES

Quand le projet en comporte, reproduire ici le tableau des livrables fourni au début du projet. Mentionner l'ensemble des livrables, y compris les éventuels livrables abandonnés, et ceux non prévus dans la liste initiale.

Date de livraison	N°	Titre	Nature (rapport, logiciel, prototype, données, ...)	Partenaires (souligner le responsable)	Commentaires
Juin 07	1	Etat de l'art sur la conception des mémoires embarquées	rapport	STM	Délivrable D1.1
Juin 07	2	Etat de l'art des méthodes de validation des mémoires	rapport	Paris 6	Délivrable D2.1, Parties 1 et 2
Oct 07	3	Définition d'un nouveau modèle fonctionnel et temporel pour la vérification de circuits mémoire	rapport	Paris 6	Délivrable D2.2
Dec 07	4	Flot de conception	rapport	STM	Délivrable D1.3
Dec 07	5	Definition d'un nouveau modele fonctionnel et temporel pour la verification formelle de circuits memoires	rapport	Paris 6	Délivrable D2.3
Dec 07	6	Modeles d'automates temporisés pour l'analyse de circuits mémoire	rapport	<u>LSV</u> , Paris 6	Délivrable D3.1
Jan 08	7	Model-checking temporisé spécialisé pour les circuits mémoire	rapport	<u>LSV</u> , Paris 6	Délivrable D3.2

<b>Date de livraison</b>	<b>N°</b>	<b>Titre</b>	<b>Nature</b> (rapport, logiciel, prototype, données, ...)	<b>Partenaires</b> (souligner le responsable)	<b>Commentaires</b>
Juin 08	8	Outil prototype de synthese de parametres temporises pour la verification de circuits memoire	Rapport+outil	<u>LSV</u> , Paris 6	Délivrable D3.3
Dec 08	9	Outil prototype d'abstraction fonctionnelle et temporelle de circuits memoire	Rapport+outil	Paris 6	Délivrable D2.4
Dec 09	10	vhdl2ta : programme Traduction automatique de programmes VHDL en automates temporisés	Rapport+outil	Paris 6	Non prévu initialement
Dec 09	11	vhdl2ta : jeu de tests du programme de traduction automatique de programmes VHDL en automates temporisés	Rapport	Paris 6	Non prévu initialement
Dec 10	12	Experiments of the prototype tools on case studies, comparison of obtained results and conclusion	Rapport	<u>LSV</u> , Paris 6, STM	Fusion des déivrables D4.2 et D4.3

Date de livraison	N°	Titre	Nature (rapport, logiciel, prototype, données, ...)	Partenaires (souligner le responsable)	Commentaires

Les livrables D1.2 (définition des autres études de cas) et D4.1 (analyse du flot de conception et vérification des autres études de cas avec la chaîne d'outils) prévus dans la proposition initiale n'ont pas été fournis, car le projet s'est focalisé sur une unique étude de cas (SPSMALL).

## E IMPACT DU PROJET

### E.1 INDICATEURS D'IMPACT

#### *Nombre de publications et de communications (à détailler en E.2)*

		Publications multipartenaires	Publications monopartenaires
International	Revue à comité de lecture	2	
	Ouvrages ou chapitres d'ouvrage		
	Communications (conférence)	3	1
France	Revue à comité de lecture		
	Ouvrages ou chapitres d'ouvrage		
	Communications (conférence)		
Actions de diffusion	Articles vulgarisation		
	Conférences vulgarisation		
	Autres		

#### *Autres valorisations scientifiques (à détailler en E.3)*

	Nombre, années et commentaires (valorisations avérées ou probables)
Brevets internationaux obtenus	
Brevet international en cours d'obtention	
Brevets nationaux obtenus	
Brevet nationaux en cours d'obtention	
Licences d'exploitation (obtention / cession)	
Créations d'entreprises ou essaimage	
Nouveaux projets collaboratifs	
Colloques scientifiques	
Autres (préciser)	2 Tutoriaux sur la vérification temporisée des circuits donné par Emmanuelle Encrenaz à DATE 09 (Nice) et par Laurent Fribourg à ETR 09 (Paris)

## **E.2 LISTE DES PUBLICATIONS ET COMMUNICATIONS**

- Remy Chevallier, Emmanuelle Encrenaz and Laurent Fribourg. Weiwen Xu, Timed Verification of a Generic Architecture of a Memory Circuit using Parametric Timed Automata. International Journal of Formal Methods in System Design, vol 34(1), pp 59–81, 2009.
- Etienne André, Thomas Chatain, Emmanuelle Encrenaz and Laurent Fribourg. An Inverse Method for Parametric Timed Automata. International Journal of Foundations of Computer Science, vol 20(5), pp 819–836, 2009.
- Etienne André, Thomas Chatain, Emmanuelle Encrenaz, Laurent Fribourg. An Inverse Method for Parametric Timed Automata. In Vesa Halava and Igor Potapov (eds.), RP'08, ENTCS 223, pages 29–46. Elsevier Science Publishers, 2008.
- Abdelrezzak Bara, Pirouz Bazargan-Sabet, Remy Chevallier, Emmanuelle Encrenaz, Dominique LeDu and Patricia Renault. Formal Verification of Timed VHDL Programs. International Forum on Specification and Design Languages, 2010.
- Etienne André, Laurent Fribourg, Behavioral Cartography of Timed Automata. International Workshop on Reachability Problems (RP'10), LNCS 6227, pp 76–90, Springer, 2010.
- Etienne André, IMITATOR II: A tool for solving the Good Parameters Problem in Timed Automata . International Workshop on Verification of Infinite-State Systems (INFINITY'10), EPTCS 39, pp 91–99, Elsevier, 2010.

## **E.3 LISTE DES ÉLÉMENTS DE VALORISATION**

- Logiciel d'abstraction fonctionnelle MYGALE
- Logiciel d'abstraction temporelle TIMEX
- Logiciel de conversion de VHDL en automates temporisés VHDL2TA
- Logiciel de model checking paramétré IMITATOR

Les logiciels VHDL2TA et IMITATOR sont téléchargeables à partir de l'adresse figurant sur la page du site du projet VALMEM

En outre douze livrables sont disponibles sur le site <http://www.lsv.ens-cachan.fr/~encrenaz/valmem/>

## E.4 BILAN ET SUIVI DES PERSONNELS RECRUTÉS EN CDD (HORS STAGIAIRES)

Identification				Avant le recrutement sur le projet			Recrutement sur le projet				Après le projet				
Nom et prénom	Sexe H/F	Adresse email (1)	Date des dernières nouvelles	Dernier diplôme obtenu au moment du recrutement	Lieu d'études (France, UE, hors UE)	Expérience prof. Antérieure, y compris post-docs (ans)	Partenaire ayant embauché la personne	Poste dans le projet (2)	Durée missions (mois) (3)	Date de fin de mission sur le projet	Devenir professionnel (4)	Type d'employeur (5)	Type d'emploi (6)	Lien au projet ANR (7)	Valorisation expérience (8)
ANDRE Etienne	H	andre@sv.ens-cachan.fr	20/12/2010	Master M2	France	aucune	CNRS (LSV)	doctorant	36 mois	25/12/2010	Postdoc étranger	Recherche publique	chercheur	non	oui
KUEHNE Ulrich	H	kuehne@sv.ens-cachan.fr	20/12/2010	Ph.D.	UE	Postdoc UE	CNRS (LSV)	postdoc	10 mois	31/12/2010	Postdoc France	Recherche publique	chercheur	oui	oui
LE DU Dominique	H	Dominique.ledu@lip6.fr	20/12/2010	Master M2	France	aucune	Paris 6	ingenieur	36 mois	31/12/2010	ingenieur	Recherche publique	ingenieur	oui	oui

### Aide pour le remplissage

- (1) **Adresse email** : indiquer une adresse email la plus pérenne possible
- (2) **Poste dans le projet** : post-doc, doctorant, ingénieur ou niveau ingénieur, technicien, vacataire, autre (préciser)
- (3) **Durée missions** : indiquer en mois la durée totale des missions (y compris celles non financées par l'ANR) effectuées sur le projet
- (4) **Devenir professionnel** : CDI, CDD, chef d'entreprise, encore sur le projet, post-doc France, post-doc étranger, étudiant, recherche d'emploi, sans nouvelles
- (5) **Type d'employeur** : enseignement et recherche publique, EPIC de recherche, grande entreprise, PME/TPE, création d'entreprise, autre public, autre privé, libéral, autre (préciser)
- (6) **Type d'emploi** : ingénieur, chercheur, enseignant-chercheur, cadre, technicien, autre (préciser)
- (7) **Lien au projet ANR** : préciser si l'employeur est ou non un partenaire du projet
- (8) **Valorisation expérience** : préciser si le poste occupé valorise l'expérience acquise pendant le projet.

*Les informations personnelles recueillies feront l'objet d'un traitement de données informatisées pour les seuls besoins de l'étude anonymisée sur le devenir professionnel des personnes recrutées sur les projets ANR. Elles ne feront l'objet d'aucune cession et seront conservées par l'ANR pendant une durée maximale de 5 ans après la fin du projet concerné. Conformément à la loi n° 78-17 du 6 janvier 1978 modifiée, relative à l'Informatique, aux Fichiers et aux Libertés, les personnes concernées disposent d'un droit d'accès, de rectification et de suppression des données personnelles les concernant. Les personnes concernées seront informées directement de ce droit lorsque leurs coordonnées sont renseignées. Elles peuvent exercer ce droit en s'adressant l'ANR (<http://www.agence-nationale-recherche.fr/Contact>).*